

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-250766

(43)Date of publication of application : 05.10.1989

(51)Int.Cl.

G01R 15/08

G01R 15/10

(21)Application number : 63-076602

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1988

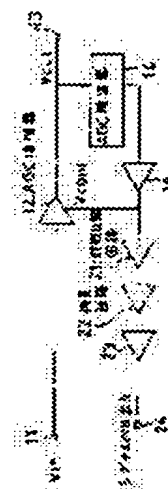
(72)Inventor : MIYAHARA YASUTOKU

## (54) SIGNAL LEVEL OUTPUT CIRCUIT

### (57)Abstract:

**PURPOSE:** To obtain a signal level output being in a linear relation to an input level of an AGC amplifier, by a method wherein an AGC voltage of an automatic gain control AGC loop is subjected to logarithmic compression and further to expansion and taken out as the signal level output.

**CONSTITUTION:** An output of an amplifier 15, that is, an AGC voltage  $V_{cont}$ , is supplied to a control terminal of an AGC amplifier 12, while it is supplied to a logarithmic compression circuit 22. A signal subjected therein to logarithmic compression is subjected further to expansion by an expansion circuit 22 and led out as a signal level output to an output terminal 24 through an amplifier 23. An exponential conversion circuit constructed of the circuits 21 and 22 is constituted so that an output voltage  $V_0$  is in a relation of  $V_0 = V_i \gamma$  ( $\gamma$  is a constant determined from a prescribed resistance ratio) to an input voltage  $V_i$ . It is seen therefrom that the output is subjected to exponential conversion in relation to the input voltage. By inputting the voltage  $V_{cont}$  to said circuit and by using the output as a signal level voltage, accordingly, the voltage  $V_{cont}$  made proportional logarithmically to an input level [dBm] is subjected to the exponential conversion, and thus a linear output is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

Walter Page Born August

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

PUBLICATION NUMBER : 01250766  
PUBLICATION DATE : 05-10-89

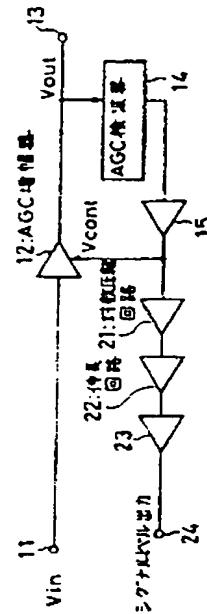
APPLICATION DATE : 31-03-88  
APPLICATION NUMBER : 63076602

APPLICANT : TOSHIBA CORP;

INVENTOR : MIYAHARA YASUTOKU;

INT.CL. : G01R 15/08 G01R 15/10

TITLE : SIGNAL LEVEL OUTPUT CIRCUIT



ABSTRACT : PURPOSE: To obtain a signal level output being in a linear relation to an input level of an AGC amplifier, by a method wherein an AGC voltage of an automatic gain control AGC loop is subjected to logarithmic compression and further to expansion and taken out as the signal level output.

CONSTITUTION: An output of an amplifier 15, that is, an AGC voltage  $V_{cont}$ , is supplied to a control terminal of an AGC amplifier 12, while it is supplied to a logarithmic compression circuit 22. A signal subjected therein to logarithmic compression is subjected further to expansion by an expansion circuit 22 and led out as a signal level output to an output terminal 24 through an amplifier 23. An exponential conversion circuit constructed of the circuits 21 and 22 is constituted so that an output voltage  $V_0$  is in a relation of  $V_0 = V_i^\gamma$  ( $\gamma$  is a constant determined from a prescribed resistance ratio) to an input voltage  $V_i$ . It is seen therefrom that the output is subjected to exponential conversion in relation to the input voltage. By inputting the voltage  $V_{cont}$  to said circuit and by using the output as a signal level voltage, accordingly, the voltage  $V_{cont}$  made proportional logarithmically to an input level [dBm] is subjected to the exponential conversion, and thus a linear output is obtained.

COPYRIGHT: (C)1989,JPO&Japio

12-1000-1000 (people)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-250766

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 平成1年(1989)10月5日

G 01 R 15/08  
15/10

A-7359-2G  
D-7359-2G

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 シグナルレベル出力回路

⑦ 特 願 昭63-76602

⑧ 出 願 昭63(1988)-3月31日

⑨ 発 明 者 宮 原 泰 徳 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜  
事業所家電技術研究所内

⑩ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑪ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

シグナルレベル出力回路

2. 特許請求の範囲

入力信号が供給される自動利得制御回路と、この自動利得制御回路の出力を検波する自動利得制御用検波回路と、該自動利得制御回路の出力を一定レベルに維持するために、前記自動利得制御用検波回路の出力を増幅して前記自動利得制御回路の利得制御端子に与える増幅器と、この増幅器の出力を対数圧縮する対数圧縮回路と、この対数圧縮回路の出力を伸長し、前記入力信号のレベルを現わすための出力を得る伸長回路とを具備したことを特徴とするシグナルレベル出力回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、例えばSHF受信機の入力レベルを表示する場合に利用されるシグナルレベル出力回路に関する。

(従来の技術)

SHF受信機では、受信感度を示すシグナルレベル装置が利用され、アンテナの方向を調整したりする場合に利用される。シグナルレベル出力回路は、受信機に入力される信号レベル[dB]に対応して、電圧出力を得る回路である。

第4図は、一般的なシグナルレベル出力回路である。このシグナルレベル電圧は、自動利得制御(以下AGCと記す。)回路のループから取出される。即ち、受信信号入力端子11の入力信号 $V_{in}$ は、AGC増幅器12に供給され、利得制御電圧 $V_{cont}$ により利得制御される。AGC増幅器12の出力 $V_{out}$ は、出力端子13に導出されるとともに、AGC検波器14に供給される。AGC検波器14の出力は、増幅器15を介してAGC増幅器12の利得制御端子に供給される。これによりAGC増幅器12の出力は、入力信号のレベルの変動に応じて利得制御され、一定のレベルに維持される。

ところで、増幅器15の出力は、入力信号 $V_{in}$

## 特開平1-250766(2)

のレベル変動に応じて変化するので、これをシグナルレベル電圧として利用することができる。従って、増幅器15の出力は、増幅器16を介して出力端子17に導出される。

ここで、AGC増幅器12の制御感度をA[dB/V]、AGC検波器14の検波感度をB[V/dB]、増幅器15の利得をCとすると、このAGCループの利得Gは、

$$G = A \times B \times C$$

よって出力Voutは、

$$V_{out} = V_{in} \times \{ 1 / (A + B + C) \}$$

となる。

第5図は、AGC増幅器12の具体回路を示している。

入力信号Vinは、端子2a、2b間に与えられる。端子2a、2bの信号は、トランジスタQ9、Q10のベースに供給される。トランジスタQ9、Q10のエミッタと接地ラインGND間には抵抗R4、R5がそれぞれ接続され、またエミッタ間には抵抗R6が接続されている。トランジスタQ9、

Q10のコレクタから得られる差動出力は、それぞれ差動対トランジスタQ5とQ6の共通エミッタ、及び差動対トランジスタQ7とQ8の共通エミッタに接続される。トランジスタQ6、Q7のコレクタは共通に電源ラインVccに接続される。トランジスタQ5のコレクタは負荷抵抗R9を介して電源ラインVccに接続されるとともに、トランジスタQ11のベースに接続される。またトランジスタQ6のコレクタは負荷抵抗R10を介して電源ラインVccに接続されるとともに、トランジスタQ12のベースに接続される。トランジスタQ11、Q12のコレクタは電源ラインVccに接続され、各エミッタは抵抗R7、R8を介して接地ラインGNDに接続されるとともに、出力端子3a、3bに接続される。

一方、4a、4bは制御電圧入力端子である。制御電圧入力端子4a、4bは、トランジスタQ3、Q4のベースに接続されている。トランジスタQ3、Q4のエミッタはそれぞれ抵抗R2、R3を介して共通の定電流源5に接続される。ト

ランジスタQ3のコレクタは、ダイオード接続のトランジスタQ1、抵抗R1を介して電源ラインVccに接続されるとともに、トランジスタQ5とトランジスタQ8の共通ベースに接続される。トランジスタQ4のコレクタは、ダイオード接続のトランジスタQ2、抵抗R1を介して電源ラインVccに接続されるとともに、トランジスタQ6とトランジスタQ7の共通ベースに接続される。これにより、端子4a、4b間に与えられる制御電圧Vcontにより、入力信号Vinは利得制御を受けて出力端子3a、3bに出力される。

上記の破線2で囲むブロックは、低電圧で動作し、かつ、トランジスタQ5～Q8で構成された利得制御を行う部分は、カスコードの役割も果たし、周波数特性がよいことが知られている。またトランジスタQ1～Q4で構成される制御部分は、AGC増幅器の温度に対する利得の変動を補償している。

上記の回路の制御電圧に対する利得の式は次のように表わせる。

制御電圧VcontとAGC増幅器12の利得をAvとすると、

$$A_v [dB] = 10 \log [k_1 / (1 + k_2 \times V_{cont})] \quad \dots (1)$$

但し、k1、k2は定数

となる。ここで、AGC増幅器12をAGCループとして動作させた場合、AGC増幅器12の出力は、一定となるように動作するために、AGC増幅器12の利得と入力レベルは1:1の対応となる。従って、AGC増幅器12の入力レベルに対するAGC電圧は、式(1)からわかるように対数の関係となる。この関係を図に示すと第6図に示すようになる。

上記のようにシグナルレベル電圧は、AGC電圧を増幅して得られる電圧であるために、AGC増幅器12の入力レベルに対してリニアな関係ではなく、入力レベルが小さい場合は電圧変動が大きく、入力レベルが大きい場合h電圧変動が小さくなる。このためにSHF受信機のアンテナ方向の調整を行う場合、入力レベルに対する出力電



### 特開平1-250766(3)

圧感度が変化して使用しにくい欠点がある。

( 発明が解決しようとする課題 )

従来のシグナルレベル出力回路は、A G C 増幅器の入力レベルの変化に対してリニアな関係ではなく対数的な関係であるために、入力レベルと測定したシグナルレベルとの対応付けにずれがあった。

そこでこの発明は、A G C 増幅器の入力レベルに対してリニアな関係にあるシグナルレベル出力を得ることができるシグナルレベル出力回路を得ることを目的とする。

[ 発明の構成 ]

( 課題を解決するための手段 )

この発明は、A G C ループの A G C 電圧を、対数圧縮してさらに伸長して取出し、シグナルレベル出力とする手段を設けるものである。

( 実施例 )

以下この発明の実施例を図面を参照して説明する。

第 1 図はこの発明の実施例である。第 1 図にお

これによりトランジスタ Q 23 のコレクタに流れる電流と同じ電流がトランジスタ Q 24 のコレクタに流れる。

一方、トランジスタ Q 26 と Q 25 のエミッタはそれぞれ抵抗 R 26、R 25 を介して定電流源 3 2 に接続され、トランジスタ Q 26 のコレクタは、トランジスタ Q 28 のエミッタ及び Q 28 と Q 27 の共通ベースに接続されている。トランジスタ Q 28 および Q 27 のコレクタはそれぞれ抵抗 R 24、R 23 を介して電源ライン V cc に接続される。従って、トランジスタ Q 26 のコレクタに流れる電流と同じ電流が、カレントミラーの関係によりトランジスタ Q 27 のエミッタに流れる。ここで、トランジスタ Q 25 と Q 24 のベースは、バイアス電源 V B1 に接続されている。

トランジスタ Q 27 のエミッタは、トランジスタ Q 29 のベースに接続される。トランジスタ Q 29 はトランジスタ Q 30 と差動対を成し、各エミッタは定電流源 3 3 に接続され、各コレクタはそれぞれ抵抗 R 29、R 30 を介して電源ライン V cc に接続さ

いて、A G C ループについては、従来と同じであるために第 4 図と同一符号を付している。本実施例は、増幅器 1 5 の出力、つまり A G C 電圧 V cont は、A G C 増幅器 1 2 の制御端子に供給されるとともに、対数圧縮回路 2 1 に供給される。ここで対数圧縮された信号は更に伸長回路 2 2 で伸長されて、増幅器 2 3 を介してシグナルレベル出力として出力端子 2 4 に導出される。

対数圧縮回路 2 1 及び伸長回路 2 2 で構成される指数変換回路は、具体的には第 2 図に示すように構成されている。A G C 電圧 V cont は、端子 2 1 を介してトランジスタ Q 23 及びトランジスタ Q 26 のベースに供給される。トランジスタ Q 23 のエミッタはトランジスタ Q 24 のベースとともに定電流源 3 1 に接続され、トランジスタ Q 23 のコレクタはトランジスタ Q 21 のエミッタに接続される。トランジスタ Q 21 のベースはトランジスタ Q 22 のベース及びエミッタに接続され、トランジスタ Q 21 及び Q 22 のコレクタはそれぞれ抵抗 R 21、R 22 を介して電源ライン V cc に接続されている。

れるとともに、出力端子 3 4 a、3 4 b として導出される。またトランジスタ Q 29、Q 30 の各ベースはそれぞれ抵抗 R 27、R 28 を介してバイアス電源 V B1 に接続される。

この回路は、バイアス電圧 V B1 と入力電圧 V cont の電圧差によって生じる電流がトランジスタ Q 29 のベースに流れ込む。

上記の回路構成によると、入力電圧 V i に対して出力電圧 V o の関係は次のようになる。

$$V_o = V_i \cdot \dots (2)$$

但し、 $r = (R_{27}/R_{25}) = (R_{28}/R_{26})$

上記の式 (2) から明らかなように入力電圧に対して出力は指数変換されることがわかる。従って、前述した A G C 電圧をこの回路に入力し、出力をシグナルレベル電圧として用いれば、入力レベル [ dBm ] に対して対数比例された A G C 電圧を指数変換することに成り、リニアな出力を得ることができる。この関係を第 3 図に示す。

[ 発明の効果 ]

以上説明したように、この発明は、受信信号

特開平1-250766(4)

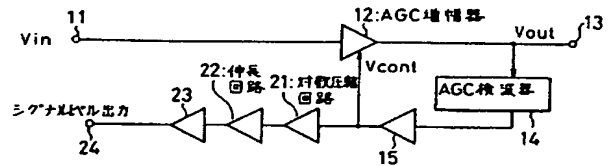
の入力レベルに対してリニアに変化するシグナルレベル出力を簡単な構成で得ることができ、例えばSHF受信機のアンテナ調整を行う場合には、入力レベルに対する出力電圧の感度が一定となり調整し易くなる。

4. 図面の簡単な説明

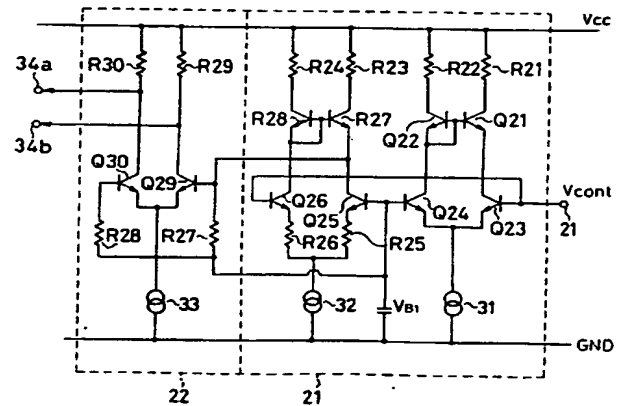
第1図はこの発明の一実施例を示す構成説明図、第2図は第1図の対数圧縮、伸長回路の具体例を示す回路図、第3図は本発明によって得られた特性例を示す図、第4図は従来のシグナルレベル出力回路を示す回路図、第5図は第4図のAGC増幅器を具体的に示す回路図、第6図は従来のシグナルレベル出力回路の特性を示す図である。

12…AGC増幅器、14…AGC検波器、  
15…増幅器、21…対数圧縮回路、22…伸長回路、23…増幅器。

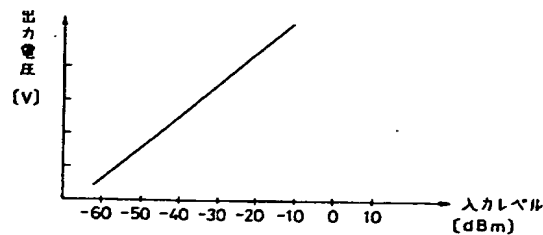
出願人代理人 弁理士 鈴江武彦



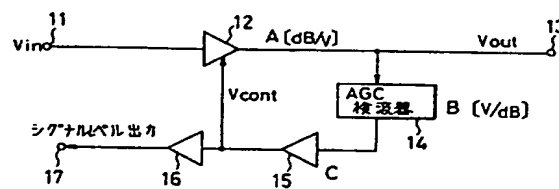
第 1 図



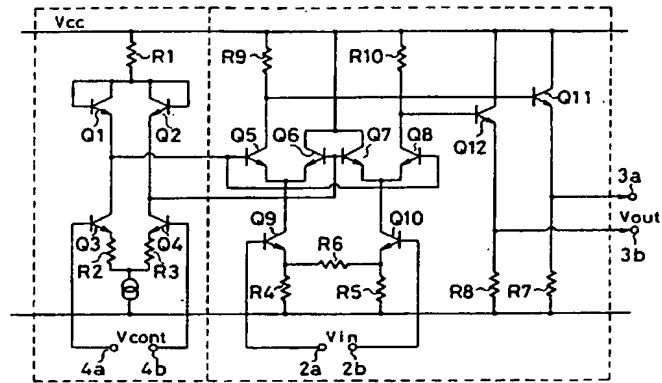
第 2 図



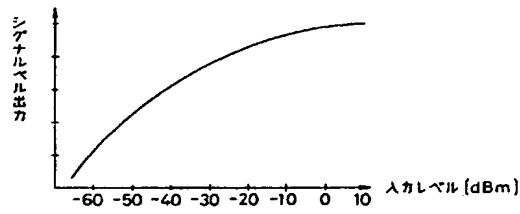
第 3 図



第 4 図



第 5 図



第 6 図

This Page Blank (pp. 10)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

www.bbc.com/news